

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8147

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L	27/08
	27/092			29/78
	29/78			3 2 1 H
				3 0 1 K

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平7-148553

(22) 出願日 平成7年(1995)6月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坪田 俊雄

東京都港区芝五丁目7番1号 日本電気株式会社内

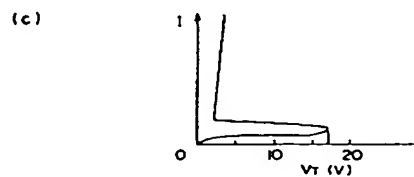
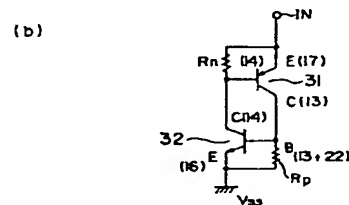
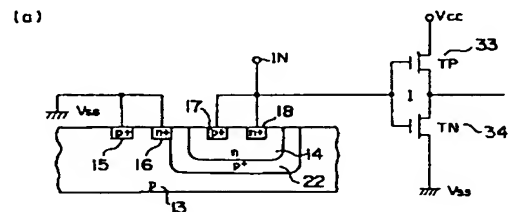
(74) 代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 半導体装置の保護回路

(57) 【要約】

【目的】 サイリスタ型 E S D 保護回路において、ターンオン電圧 V_T を下げ、臨界オフ電圧上昇率 dv/dt による誤動作を防止した高性能 E S D 保護回路を提供する。

【構成】 n ウェル領域 14 の周りに p+ ウェル領域 22 が形成され、n ウェル領域 14 と p+ ウェル領域 22 との接合で決定されるターンオン電圧 V_T は低く設定できる。また、p+ ウェル領域 22 によって寄生ベース抵抗は実効的に小さくできるため寄生バイポーラトランジスタを不用意にターンオンすることが防止できる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板内に第 2 導電型のウェル領域を設け且つ前記半導体基板内には第 2 導電型の MOS トランジスタを且つ前記ウェル領域内には第 1 導電型の MOS トランジスタをそれぞれ形成してなる相補型 MOS 半導体装置において、前記半導体基板内に形成され且つ低電位電源に接続された第 1 導電型の第 1 コンタクト領域と、前記低電位電源に接続された第 2 導電型の第 1 半導体領域と、前記ウェル領域内に形成され且つ入力端子もしくは出力端子に接続された第 2 導電型の第 2 コンタクト領域と、前記ウェル領域内に形成され且つ前記入力端子もしくは出力端子に接続された第 1 導電型の第 2 半導体領域とを具備したことを特徴とする半導体装置の保護回路。

【請求項 2】 前記ウェル領域の周りに第 1 導電型のウェル領域を設け、該ウェル領域の境界面を中心にして前記第 1 及び第 2 半導体領域が前記第 1 及び第 2 コンタクト領域の内側に形成されている請求項 1 に記載の半導体装置の保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の分野において半導体装置を静電気の放電 (Electro Static Discharge, 以下「ESD」という) による高電圧の過渡現象から保護するための保護回路に関する。

【0002】

【従来の技術】 半導体デバイスが取り扱われるフィールドや製造工程で生じる可能性の高い静電気放電 (ESD) 現象は次の 3 つが考えられる。(1) 半導体デバイスを取り扱う人体が外部静電気帯電物体となり、人体に蓄えられた静電気がデバイスの端子に放出されて破壊を起こす。(2) デバイスの近傍にある金属などの物体が静電気を帯電している場合、デバイスの端子とこれらの物体が接触して ESD 破壊に至る。(3) デバイス自身 (デバイス導体部あるいは封入プラスチックパッケージ) が静電気を帯電し、デバイスの端子から他の導体へ静電気が放出され破壊が生じる。従来このような静電気によるサージから集積回路の内部 (回路) を保護するための各種の保護回路が実用化されている。

【0003】 図 3 および図 4 に従来の保護装置の構造を示す。

【0004】 図 3 は特公平 2-52426 号に開示された保護回路であり、p チャネル MOS トランジスタ TP33 及び n チャネル MOS トランジスタ TN34 は入力段の CMOS インバータ I を構成しており、このインバータ I の共通ゲートは信号入力端子 IN に、共通ドレインは図示しない次段の回路にそれぞれ接続されている。図中、断面構造で示されている回路は保護回路である。この保護回路では、 $1 \times 10^{13} / \text{cm}^3$ 程度の濃度で p 型不純物を含む p+ 型エピタキシャル層 12 を成長させ

たものを出発基板 13 として用いており、この基板 13 上には深さが約 $2 \mu\text{m}$ の n ウェル領域 14 が選択的に形成されている。

【0005】 p 型基板 13 上には、この基板 13 (p 型エピタキシャル層 12) に対してコンタクトをとるための $1 \times 10^{19} / \text{cm}^3$ 程度の濃度で p 型不純物を含むコンタクト領域 15 と、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度で n 型不純物を含む n 型半導体領域 16 とが形成されている。

10 【0006】 また、n ウェル領域 14 の境界をはさんで領域 15、16 の反対側に位置する n ウェル領域 14 上には、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度で p 型不純物を含む p 型半導体領域 17 と、n ウェル領域 14 に対してコンタクトをとるための $1 \times 10^{19} / \text{cm}^3$ 程度の濃度で n 型不純物を含むコンタクト領域 18 とが形成されている。

【0007】 そして、p 型のコンタクト領域 15、n 型半導体領域 16 及び p 型基板 13 は低電位電源 V_{ss} に接続され、p 型半導体領域 17 及び n 型のコンタクト領域 18 は上記信号入力端子 IN に接続されている。

20 【0008】 この従来例の相補型 MOS 半導体装置の保護回路では、第 1 の半導体領域 16 をエミッタ、基板 13 をベース、n ウェル領域 14 をコレクタとする第 1 極性のバイポーラトランジスタと、第 2 の半導体領域 17 をエミッタ、n ウェル領域 14 をベース、基板 13 をコレクタとする第 2 極性のバイポーラトランジスタがそれぞれ等価的に構成され、信号入力端子 IN もしくは信号出力端子に高電圧が印加された際に上記第 1 極性及び第 2 極性のバイポーラトランジスタからなる回路でラッチアップを生じさせて高電圧による電流をバイパスするようにしている。

30 【0009】 図 4 は 1991 年 EOS/ESD SYMPOSIUM PROCEEDINGS の第 88 頁から第 97 頁に記載されたもう 1 つの従来例を示す。図 4 においては図 3 と同一の領域は同一の記号で示した。この従来例と前述した図 3 の従来例との相違は、第 2 の半導体領域 17 (エミッタ) が n 型の半導体領域 41 と隣接し、かつ n 型の半導体領域 41 が n ウェル (ベース) 領域 14 と p 型エピタキシャル層 12 とにまたがって形成されている点である。この従来例の相補型 MOS 半導体装置の保護回路も図 3 に示した保護回路と同様に第 1 極性のバイポーラトランジスタと第 2 極性のバイポーラトランジスタとからなり、ラッチアップを生じさせて高電圧による電流をバイパスする。この場合図 3 の保護回路と比較して、図 4 の保護回路ではラッチアップの起動の源泉となるトリガー電圧 V_T (以下「ターンオン電圧」という) が低くできる。

【0010】

40 【発明が解決しようとする課題】 図 3 に示したサイリスタ型 ESD 保護回路では、ターンオンする電圧 V_T が n

3

ウエルのブレイクダウン電圧によってきまるため通常は 50 V と高く内部素子の保護という意味で十分ではない。一般に保護回路設計の基本的考え方として、(1) ESD チャージを被保護素子の破壊電圧、電流以下で保護素子によって吸収する、(2) 保護素子が破壊しない、(3) 保護素子は製品の動作範囲で製品特性を損なわない、が基本である、が特に (1) において保護素子の耐圧設計は保護の要である。すなわち保護素子の耐圧 BV 設計は、

最大定格 $BV < \text{被保護素子の耐圧、ゲート破壊電圧}$ としなければならない。ゲート破壊電圧はトランジスタの微細化 (高速化) に伴い 15 V 程度と小さくなってきているので、図 4 に示した従来例の低圧設計 (この場合ターンオン電圧 V_T は 50 V が相当) では被保護素子を十分保護できないという問題がある。

【0011】このような欠点を改善したのが図 4 の従来例である。この場合、n 型の半導体領域 41 (n+) と p 型のエピタキシャル層 12 (p-) で耐圧 V_T が決まるので、耐圧 V_T は 10 数 V と低く設定できるメリットがある。

【0012】しかしながら実際の製品に本構造の保護素子を適用しようすると、製造条件のゆらぎに対して必ずしも保護素子の特性が安定しているという保証はない。つまり保護素子を構成する寄生バイポーラがノイズに対して OFF を保つ特性は $d v / d t$ 特性 (臨界オフ電圧上昇率特性) と呼ばれるが、この $d v / d t$ は保護素子自身が誤動作しない程度に大きく設定されなければならない。図 4 の従来例では基板 13 の寄生ベース抵抗が大きいので信頼性を含めて安定した $d v / d t$ 特性の設計が困難であり、製造条件のゆらぎに対して影響を受けやすいという問題がある。

【0013】本発明は上記の点にかんがみてなされたもので、製造条件のゆらぎに対する影響を受けにくい静電気の放電による高電圧の過渡現象から半導体装置を保護する保護回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は上記の目的を達成するために、第 1 導電型の半導体基板内に第 2 導電型のウエル領域を設け且つ前記半導体基板内には第 2 導電型の MOS トランジスタを且つ前記ウエル領域内には第 1 導電型の MOS トランジスタをそれぞれ形成してなる相補型 MOS 半導体装置において、前記半導体基板内に形成され且つ低電位電源に接続された第 1 導電型の第 1 コンタクト領域と、前記低電位電源に接続された第 2 導電型の第 1 半導体領域と、前記ウエル領域内に形成され且つ入力端子もしくは出力端子に接続された第 2 導電型の第 2 コンタクト領域と、前記ウエル領域内に形成され且つ前記入力端子もしくは出力端子に接続された第 1 導電型の第 2 半導体領域とを設けた。

【0015】さらに、前記ウエル領域の周りに第 1 導電

4

型のウエル領域を設け、該ウエル領域の境界面を中心にして前記第 1 及び第 2 半導体領域を前記第 1 及び第 2 コンタクト領域の内側に形成した。

【0016】

【実施例】以下、本発明を図面を参照して説明する。

【0017】図 1 (a) は本発明による保護回路の一実施例の断面図、図 1 (b) はその等価回路図を示す。

【0018】図 1 に示した実施例は本発明に係る保護回路を特に信号入力端子の保護を図る半導体装置に適用したものであり、p チャネル MOS トランジスタ TP 33 および n チャネル MOS トランジスタ TN 34 は、入力段の CMOS インバータ I を構成しており、このインバータ I の共通ゲートは信号入力端子 IN に、共通ドレインは図示しない次段の回路にそれぞれ接続されている。図中、図 3 と同じ構成部分は同じ記号で示されている。この保護回路では、 $1 \times 10^{15} / \text{cm}^3$ 程度の濃度で p 型不純物を含む p 型基板 13 を用いており、この基板 13 上には深さが約 $2 \mu \text{m}$ の n ウエル領域 14 が選択的に形成されている。

【0019】上記 P 型基板 13 上には、この基板 13 に対してコンタクトをとるため $1 \times 10^{19} / \text{cm}^3$ 程度の濃度で P 型不純物を含むコンタクト領域 15 と、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度で n 型不純物を含む n 型半導体領域 16 とが形成されている。

【0020】また、上記の n ウエル領域 14 の境界をはさんで領域 15、16 の反対側に位置する n ウエル領域 14 上には、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度で p 型不純物を含む P 型半導体領域 17 と n ウエル領域 14 に対してコンタクトをとるための $1 \times 10^{19} / \text{cm}^3$ 程度の濃度で n 型不純物を含むコンタクト領域 18 とが形成されている。

【0021】さらに、n ウエル領域 14 の周りに $1 \times 10^{17} / \text{cm}^3$ 以上の濃度で P 型不純物を含む p ウエル領域 22 が前記 n 型半導体領域 16 と接して形成されている。

【0022】そして、p 型のコンタクト領域 15、n 型半導体領域 16 及び P 型基板 13 は低電位電源 V_{ss} に接続され、p 型半導体領域 17 及び n 型のコンタクト領域 18 は信号入力端子 IN に接続されている。

【0023】図 1 (b) は上記実施例による保護回路の等価回路図である。図中の p n p 型のバイポーラトランジスタ 31 は、P 型半導体領域 17 をエミッタ、n ウエル領域 14 をベース、P 型基板 13 をコレクタとして寄生的に形成されているものである。一方 n p n 型のバイポーラトランジスタ 32 は、n 型半導体領域 16 をエミッタ、P 型基板 13 および P ウエル領域 22 をベース、n ウエル領域 14 をコレクタとして寄生的に形成されているものである。そしてトランジスタ 31 のエミッタ及びベースは端子 IN に共に接続され、トランジスタ 32 のコレクタ及びベースはトランジスタ 31 のベース、コ

5

レクタにそれぞれ接続され、トランジスタ 3 2 のベース及びエミッタは低電位電源 V_{SS} に接続されている。

【0024】本実施例は通常の MOS 製造技術を用いて容易に製作できる。まず p 型基板 1 3 の保護回路形成領域に p ウエル領域 2 2 を選択的に形成する。一般にはボロイオン注入後熱処理押込みにより所望のプロファイルを形成する。続いて n ウエル領域 1 4 を選択形成する。通常 n ウエル領域 1 4 は p チャネル MOS トランジスタ TP 3 3 の n ウエル領域と同時に形成される。以下慣用のシリコン MOS 製造方法と何ら変わる点はない。すなわちコンタクト領域 1 5、p 型半導体領域 1 7 は P チャネル MOS トランジスタ TP 3 3 のソース、ドレインと同時に形成される。また n 型半導体領域 1 6、コンタクト領域 1 8 は N チャネル トランジスタ TN 3 4 のソース、ドレインと同時に形成される。トリガー電圧 V_T (ターンオン電圧) は n ウエル領域 1 4 と p+ ウエル領域 2 2 の接合の降伏電圧で決定される。

【0025】図 2 は保護回路のチップ占有面積を減らす手段を講じた本発明のさらに他の実施例を示す。図中図 1 と同じ構成部分には同じ参照数字を付して示してあり、本実施例では従来を 1 としたときにチップ占有面積を 0.25 とすることができる。

【0026】

【発明の効果】以上説明したように、本発明においては、n ウエル領域 1 4 の周りに p+ ウエル領域 2 2 が形成されているので、サイリスタ型 ESD 保護素子のターンオン電圧 V_T は p+ ウエル領域 2 2 のドーズ量を調整することにより低く設定できる。このため図 1 (c) に示す DC 特性図に示すように、n ウエル領域 1 4 と p+ ウエル領域 2 2 の接合の降伏電圧で決定される V_T は 15 ~ 20 V 程度に設定できる。

【0027】また、p+ ウエル領域 2 2 によって寄生バイポーラトランジスタのベース抵抗をブレイクダウン電流が流

6

れ、寄生バイポーラトランジスタにターンオンを引き起こす誤動作を防止できる。従って本実施例では、長期信頼性を含め安定した dv/dt 特性を有し、製造条件のゆらぎに対して影響の少ない高性能な保護回路を供給できる。

【0028】ところで、本発明を半導体装置の入力端子の保護に適用することにより、MIL 規格で 2 K V 以上、パッケージ帯電法で 2 K V 以上の良好な耐量を得ることができる。

【図面の簡単な説明】

【図 1】 (a) は本発明による保護回路の一実施例の断面構造を示す図、(b) は等価回路図、(c) は同回路の DC 特性図である。

【図 2】本発明による保護回路の他の実施例の断面構造を示す。

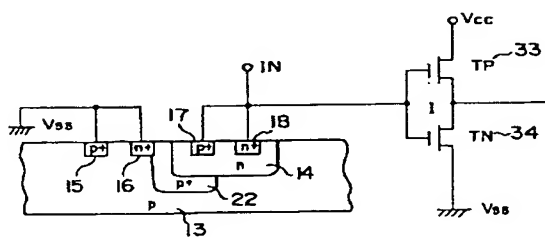
【図 3】従来の保護回路の一例の断面構造を示す図である。

【図 4】従来の保護回路の他の例の断面構造を示す図である。

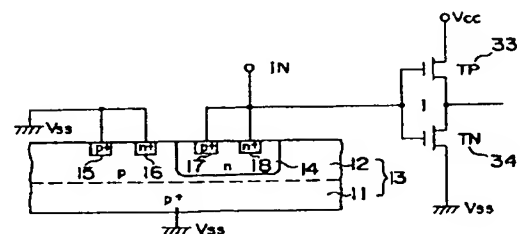
【符号の説明】

- 1 1 p+ 型エピタキシャル基板
- 1 2 出発基板
- 1 5 p 型のコンタクト領域
- 1 7 p 型半導体領域
- 2 2 p+ ウエル
- 3 1 p n p 型のバイポーラトランジスタ
- 3 2 n p n 型のバイポーラトランジスタ
- 4 1 n 型半導体領域
- 1 2 p 型エピタキシャル層
- 1 4 n ウエル領域
- 1 6 n 型半導体領域
- 1 8 n 型コンタクト領域
- 3 3 p チャネル MOS トランジスタ (TP)
- 3 4 n チャネル MOS トランジスタ (TN)

【図 2】

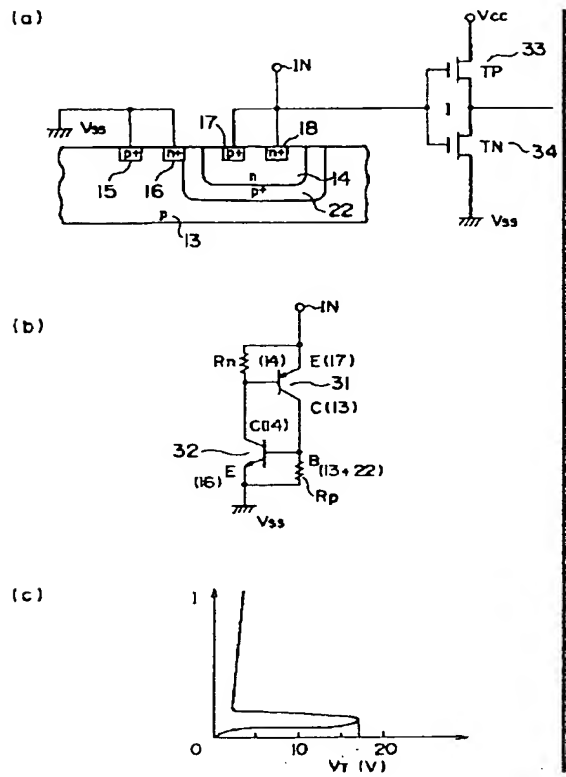


【図 3】

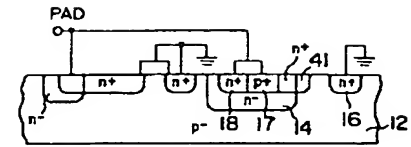


BEST AVAILABLE COPY

【図 1】



【図 4】



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)